

## JP 61-170994

3/9/1.

DIALOG(R) File 347:JAPIO

(c) 2001 JPO & JAPIO. All rts. reserv.

01956894 \*\*Image available\*\*

### DYNAMIC RAM

PUB. NO.: 61-170994 A]  
PUBLISHED: August 01, 1986 (19860801)  
INVENTOR(s): SATO KATSUYUKI  
APPLICANT(s): HITACHI LTD [000510] (A Japanese Company or Corporation), JP  
(Japan)  
APPL. NO.: 60-009046 [JP 859046]  
FILED: January 23, 1985 (19850123)  
INTL CLASS: [4] G11C-011/34; G11C-007/00  
JAPIO CLASS: 45.2 (INFORMATION PROCESSING -- Memory Units); 42.2  
(ELECTRONICS -- Solid State Components)  
JAPIO KEYWORD: R097 (ELECTRONIC MATERIALS -- Metal Oxide Semiconductors,  
MOS)  
JOURNAL: Section: P, Section No. 529, Vol. 10, No. 382, Pg. 1,  
December 20, 1986 (19861220)

### ABSTRACT

PURPOSE: To obtain a dynamic RAM added with a high speed consecutive access function by switching a column switch according to an address signal formed by an address counter incorporating the advancing operation.

CONSTITUTION: Plural main amplifiers MA0-MA3 amplifying and storing a signal read on plural common data lines according to an internal address signal changed in synchronizing with a change in a column address strobe signal at read mode, a main amplifier control circuit outputting in time series an output of the main amplifiers, a built-in address counter COUNT performing address advancing on the way of time serial read of the plural main amplifiers and a column selection circuit switching a column switch by the address counter are provided. Thus, since an initial address signal and a column address strobe signal as a clock have only to be supplied externally, high speed read is attained very simply.

③ 日本国特許庁(JP) ④ 特許出願公開  
⑤ 公開特許公報(A) 昭61-170994

⑥ Int. Cl.<sup>4</sup> 識別記号 庁内整理番号 ⑦ 公開 昭和61年(1986)8月1日  
G 11 C 11/34 101 8522-5B  
7/00

審査請求 未請求 発明の数 1 (全20頁)

⑧ 発明の名称 ダイナミック型RAM

⑨ 特 願 昭60-9046

⑩ 出 願 昭60(1985)1月23日

⑪ 発 明 者 佐 藤 克 之 小平市上水本町1450番地 株式会社日立製作所デバイス開発センタ内

⑫ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

⑬ 代 理 人 弁理士 小川 勝男 外1名

明 細 書

発明の名称 ダイナミック型RAM

特許請求の範囲

1. 複数の共通データ線に読み出された番号を増進して保持する複数のメインアンプと、カラムアドレスストローブ番号の変化に応じて上記複数のメインアンプの出力を時系列的に出力させるメインアンプ制御回路と、上記複数のメインアンプからの時系列的な読み出し動作の途中において、歩進動作を行う内蔵のアドレスカウンタによって形成されたアドレス番号に従ってカラムスイッチの切り換えを行うカラム選択回路とを具備することを特徴とするダイナミック型RAM。

2. 上記アドレスカウンタの初期値は、外部端子からアドレス番号により設定されるものであることを特徴とする特許請求の範囲第1項記載のダイナミック型RAM。

3. 上記複数のメインアンプの出力は、共通のデータ出力回路を介して時系列的に送出されるものであることを特徴とする特許請求の範囲第1又は

第2項記載のダイナミック型RAM。

4. カラム系選択回路は、CMOSスタティック選択回路により構成されるものであることを特徴とする特許請求の範囲第1、第2又は第3項記載のダイナミック型RAM。

5. 上記アドレスカウンタの歩進動作とカラムスイッチの切り換え動作は、書き込みモードの時には複数の共通データ線に対する書き込み動作が終了した後の最初のカラムアドレスストローブ番号により行われるものであることを特徴とする特許請求の範囲第1、第2、第3又は第4項記載のダイナミック型RAM。

発明の詳細な説明

〔技術分野〕

この発明は、ダイナミック型RAM(ランダム・アクセス・メモリ)に関するもので、例えば、エブルモード動作が可能なダイナミック型RAMに利用して有効な技術に関するものである。

〔背景技術〕

例えば、ダイナミック型RAMにおいては、1

ビットの単位でアクセスする方式の他、ニブルモードと呼ばれるアクセス方式が提供されている（例えば、（株）日立製作所が、昭和58年9月に発行した「日立ICメモリデータブック」の頁307～頁320参照）。このニブルモードにおいて、4ビットのデータは、カラムアドレスストローブ信号CASに同期して動作するシフトレジスタ又はバイナリカウンタの計数出力により形成された選択信号によってシリアルに出力される。

上記ニブルモードでは、4ビットのデータの読み出しに次いで且に4ビットの読み出しを行う必要がある場合、カラム系の選択回路を一旦リセットしてイニシャルアドレスを供給する必要がある。しかしながら、この場合、4ビットずつの読み出しの間で、比較的長時間を要することになってしまう。

#### 〔発明の目的〕

この発明の目的は、高速連続アクセス機能を付加したダイナミック型RAMを提供することにある。

この発明例のRAMは、ロウ系アドレス信号及びカラム系アドレス信号が多量化（マルチプレクス）されて供給されるアドレス信号線AT、回路の接地位置が供給される接地信号線GND、+5ボルトのような電圧が供給される電源端子Vcc、ロウアドレスストローブ（RAS）信号、カラムアドレスストローブ（CAS）信号及びライトエネーブル（WE）信号が供給される制御信号線RAS、CAS及びWE、データ出力端子Data及びデータ入力端子Dinを持つ。

この発明例のRAMは、また、等価図示されないが、2つに分割されたメモリアレイM-ARY1及びM-ARY2、メモリアレイM-ARY1及びM-ARY2のそれぞれに一対一対応にされたロウアドレスデコードR-DCR1及びR-DCR2、メモリアレイM-ARY1とM-ARY2との間に設けられたカラムアドレスデコードC-DCR、ロウアドレスデコードR-DCR1及びR-DCR2に対応されたロウアドレスバッファR-ADB、カラムアドレスデコードC-DCRに対応されたカラムアドレスバッファC-ADB、メインアンプMA0ないしMA3、入出力端子I/O、及び後で説明するような種々のタイミング信号を形成するタイミング発生回路TGを持つ。

### 特開61-170894(2)

この発明の簡便ならびにその他の目的と新規な特徴は、この明細書の記述および添付図面から明らかになるであろう。

#### 〔発明の概要〕

本図において図示される発明のうち代表的なものの概要を簡単に説明すれば、下記の通りである。すなわち、読み出しモードの時にカラムアドレスストローブ信号の变化に同期して変化する内部アドレス信号によって記憶の共通データ口に読み出された信号を抽出しかつそれを保持する記憶のメインアンプと、かかるメインアンプの出力を時系列的に出力させるメインアンプ制御回路と、上記記憶のメインアンプの時系列的な読み出し動作の途中において、アドレス選択動作を行う内部のアドレスカウンタと、かかるアドレスカウンタによってカラムスイッチの切り換えを行うカラム選択回路とを設けるものである。

#### 〔発明例〕

図1図には、この発明に係るダイナミック型RAMのブロック図が示されている。

図1図には、この発明に係るダイナミック型RAMのブロック図が示されている。

この発明例のRAMは、高速連続アクセス動作を可能とするために、図示されるようなマルチプレクサMPX及びカウンタCOUNTを持つ。

この発明例のRAMを構成する各回路素子は、公知のCMOS（互补型MOS）回路素子の集積回路によって、1個の単結晶シリコンのような半導体基板上において形成される。

特に図示されないが、図1図は、単結晶シリコンからなる半導体基板に形成される。Nチャネル型MOSトランジスタ（以下MOSFETと称する）は、かかる半導体基板面に形成されたソース領域、ドレイン領域及びソース領域とドレイン領域との間の半導体基板表面に埋込されたゲート絶縁膜を介して形成された

## 特開2001-170994(3)

シリコンからなるようなゲート電極から構成される。PチャネルMOSFETは、上記半導体基板表面に形成されたN型ウエル領域に形成される。これによって、半導体基板は、その上に形成された複数のNチャネルMOSFETの共通の基板ゲートを形成する。N型ウエル領域は、その上に形成されたPチャネルMOSFETの基板ゲートを形成する。PチャネルMOSFETの基板ゲートすなわちN型ウエル領域は、電極端子Vccに結合される。特に制限されないが、図示しない内蔵の基板バックバイアス電圧発生回路は、基板回路の外周端子を形成する電極端子Vccと基板電極端子もしくはアース端子との間に加えられる+5Vのような正電圧に responding、上記半導体基板に供給すべき負のバックバイアス電圧を発生する。これによって、NチャネルMOSFETの基板ゲートにバックバイアス電圧が加えられる。その結果として、NチャネルMOSFETのソース、ドレインと半導体基板間の結合電圧(寄生電圧)が減少せられるため、動作の不安

化が図られる。

メモリアレイM-ARY1は、特に図示されないが、2次元方式もしくは折り返しビット図(データ図)方式をもって構成され、縦横の双方、向に互いに平行に延長された複数の相対データ線もしくは相対ビット線と、縦横の両方向に延長された複数のワード線W0、W1、W2及びダミーワード線を含むロウ系アドレス選択線と、それぞれデータ入出力端子がそれぞれに対応されたデータ線に結合されかつそれぞれの選択線がそれぞれに対応されたワード線に結合された複数のメモリセルと、複数のダミーセルとから構成される。メモリセルのそれぞれは、図2図によって説明するように、1MOSトランジスタ/セル構成のダイナミック型メモリセル、すなわち、選択スイッチもしくは伝送ゲート素子としてのMOSFETと、それに直列接続された伝導保持手段としてのMOSキャパシタから構成される。

メモリアレイM-ARY1には、センスアンプSA1、プリチャージ回路PC1及びカラムスイ

ッチ回路C-SW1が結合されている。メモリアレイM-ARY1及びそれに結合された上記各回路の動作は、後で図2図にもとづいて詳細に説明される。

センスアンプSA1及びプリチャージ回路PC1の構成は、よく知られたダイナミックメモリそれと実質的に同様である。

すなわち、プリチャージ回路PC1は、メモリセルから読み出される微小レベルのデータ信号の増幅が可能となるようにするため、メモリのアクセスの開始において、メモリアレイM-ARY1の各相対データ線の電位をプリチャージレベルにさせる。

センスアンプSA1は、データの読み込み/読み出し動作の際には、タイミング信号φssにより選択的に動作状態とされる。ワード線の選択動作によって一方のデータ線に結合されたメモリセルから読み出された微小読み出し電圧は、その電圧とダミーワード線の選択動作によって他方のデータ線に結合されたダミーセルによって設定された

電圧と差動するセンスアンプによって増幅される。これによって相対データ線がハイレベル/ローレベルに増幅される。特に図示されないが、このセンスアンプを構成する単位の回路は、図2図から明らかとなるようにCMOSラッチ回路により構成される。

この実施例に従うと、特に図示されないが、メモリアレイM-ARY1に対して同時に2ビットのデータをアクセスすることができるようになるために、メモリアレイM-ARY1に対して2図の共通相対データ線、すなわちCD0、CD0、CD1及びCD1が設けられている。カラムスイッチ回路C-SW1は、図2図によって説明するように、それが動作されたとき、メモリアレイM-ARY1の2図の相対データ線を同時に2図の共通相対データ線CD0ないしCD1に結合させる構成にされている。

メモリアレイM-ARY2は、メモリアレイM-ARY1と同様な構成にされ、それに結合されるセンスアンプSA2、プリチャージ回路PC

## 特開昭61-170934(4)

2及びカラムスイッチ回路C-SW2は、メモリアレイM-ARY1に結合されるそれぞれと同様な構成される。

この実施例のようなアドレスマルチプレクス方式のRAMにおいて、アドレス入力端子ATKは、ロウアドレスストローブ信号RASに同期してロウアドレス信号(以下アドレス信号AXのよう記す)が供給され、カラムアドレス信号CASに同期してカラムアドレス信号(以下アドレス信号AYのよう記す)が供給される。

ロウアドレスバッファR-ADBは、その動作が、メモリアクセスの開始時に発生されるタイミング信号 $\phi_{cr}$ 、すなわちロウアドレスストローブ信号RASの立下りに同期してタイミング発生回路TGから発生されるタイミング信号 $\phi_{cr}$ によって制御される。これによってロウアドレスバッファR-ADBは、外部端子ATに供給されるビットのアドレス信号AXを、ロウアドレスストローブ信号RASに同期して取り込み、それに応じて内部相対アドレス信号 $ax0 \sim axn$ を形成する。

ビットR-DCR2は、その動作がワード選択タイミング信号 $\phi_s$ によって制御され、ロウアドレスバッファR-ADBから供給される内部相対アドレス信号 $ax0$ ないし $axn-1$ をデコードする。これによって、メモリアレイM-ARY1及びM-ARY2の複数のワード及びデータワードのうち内部相対アドレス信号 $ax0$ ないし $axn-1$ に対応された1本ずつのワード口及びデータワード口は、ワード選択タイミング信号 $\phi_s$ に同期されて同時に選択レベルにされる。

カラムアドレスバッファC-ADBは、その動作がタイミング発生回路TGのタイミング信号 $\phi_{cc}$ によって制御され、カラムアドレスストローブ信号CASに同期してアドレス入力端子に供給されたアドレス信号AYを受け、内部相対アドレス信号 $ay0 \sim ayn$ を形成する。タイミング信号 $\phi_{cc}$ は、メモリアクセスが開始されたときのカラムアドレスストローブ信号CASの最初の立下りに同期して発生される。内部相対アドレス信号 $ay0$ ないし $ayn$ のうちの1ビット、すなわち、こ

上記相対アドレス信号 $ax0 \sim axn$ のうち、特定のビット、例えば最上位ビット $axn$ を除いた相対アドレス信号 $ax0 \sim axn-1$ は、ロウアドレスデコードR-DCR1、R-DCR2に送出される。1ビットの内部相対アドレス信号 $axn$ は、ニブル動作制御信号とみなされ、設定のカウントCOUNT、タイミング発生回路TC及びマルチプレクサMPXに供給される。なお、例えば非反転アドレス信号 $ax0$ と、これと逆相の反転アドレス信号 $\overline{ax0}$ とを上記アドレス信号 $ax0$ のよう記す。設けられる他の信号も同様な表記法に従って以下の説明及び図面において示されている。

ロウアドレスデコードR-DCR1は、メモリアレイM-ARY1のワード口W0ないしW2及びデータワード口にそれぞれ一対一対応をもつて結合された複数の出力端子を持っている。ロウアドレスデコードR-DCR2は、同様に、メモリアレイM-ARY2のワード口及びデータワード口に結合された複数の出力端子を持っている。

これらのロウアドレスデコードR-DCR1及

の両方における最上位ビットの信号 $ayn$ は、ニブル動作制御信号とみなされる。内部相対アドレス信号 $ay0$ ないし $ayn-1$ は、マルチプレクサMPXの一方の入力に供給される。特に制御されないがアドレス信号 $ayn$ もまたマルチプレクサMPXの一方の入力端子に供給される。この相対アドレス信号 $ay0 \sim ayn-1$ 及び $ayn$ は、またアドレスカウンタCOUNTに制御信号として供給される。

アドレスカウンタCOUNTは、2種類のアドレスカウンタCNT1及びCNT2から成る。

アドレスカウンタCNT1は、メモリのニブル動作及び高速度アクセスにおいて、4ビット毎のデータの伝送を制御するために設けられている。すなわち、4ビットのデータのうちの伝送されるべきデータは、アドレスカウンタCNT1のカウント値によって決定される。このカウンタCNT1は、特に制御されないが、4進カウンタを構成するように、設定された2ビットのバイナリカウンタから構成される。

## 特開2001-170994 (5)

アドレスカウンタCNT1を形成する2ビットのバイナリカウンタは、メモリのアクセスが開始されたときのロウアドレスバッファR-ADB及びコラムアドレスバッファC-ADBから出力される内部相対アドレス番号 $\overline{axa}$ 及び $\overline{aya}$ によってそれぞれの初期値が決定される。この実施例に従うと、特に制限されないが、コラムアドレスバッファC-ADBの動作開始のためのタイミング信号 $\phi cc$ は、アドレスカウンタCOUNTの初期値入力開始信号として利用される。

アドレスカウンタCNT1は、タイミング発生回路TGから出力される内部タイミング信号C1によって歩進される。内部タイミング信号C1は、外部端子RASにロウアドレスストローブ信号（以下RASのように図す）がロウレベルにされているときにおいて、コラムアドレスストローブ信号CASがロウレベルにされると、それに応答して発生される。従って、アドレスカウンタCNT1は、発見的にコラムアドレスストローブ信号CASによって歩進されると理解されてよい。

歩進される。しかしながら、アドレスカウンタCNT2の歩進開始は、データの連続アクセスのより高速化を図るために、部分制限される。

すなわち、アドレスカウンタCNT2は、後の説明から明らかとなるように、データの書き込み動作において、4ビット毎のデータ伝送の開始とともに、歩進される。言い換えると、アドレスカウンタCNT2は、読み出し動作において、4ビット毎のデータの連続的な読み出しが終了される前に歩進される。これによって、以後にメインアンプMA0ないしMA3に与えられた4ビットデータの読み出しが終了される前に、新しいコラムアドレス番号が、アドレスカウンタCNT2内に記憶される。

アドレスカウンタCNT2の歩進タイミングは、書き込み動作において、読み出し動作時の歩進タイミングに対し、変更される。すなわち、アドレスカウンタCNT2は、データの書き込みにおいて、4ビット毎のデータの連続的な書き込みが終了される前に歩進される。データの書き込み動作

アドレスカウンタCNT1から出力される2ビットの番号 $\overline{cxn}$ 及び $\overline{cy0}$ は、メインアンプMA0～MA3の選択信号とみなされる。

アドレスカウンタCNT2は、データの高速連続アクセスを可能とするために設けられている。アドレスカウンタCNT2は、コラムアドレスデコードC-DCRで必要とされるビット数と等しいビット数 $n-1$ のアドレス番号 $\overline{cy0} \sim \overline{cy{n-1}}$ を出力するように構成される。このアドレスカウンタCNT2は、特に制限されないが、連続制限された $n-1$ ビットのバイナリカウンタから形成される。アドレスカウンタCNT2は、メモリのアクセスが開始されたときに、コラムアドレスバッファC-ADBから出力されている内部相対アドレス $\overline{ay0}$ ないし $\overline{ay{n-1}}$ によってその初期値が決定されるように形成される。

アドレスカウンタCNT2は、本質的には、アドレスカウンタCNT1の4カウント毎、言い換えると、アドレスカウンタCNT1によって4ビットのデータの連続的な伝送が実行される毎に、

において、アドレスカウンタCNT2の歩進タイミングがこのような制限された場合であっても、高速連続アクセスが可能となる理由は、後で説明される。

アドレスカウンタCNT2で必要とされる歩進パルスは、タイミング発生回路TGから出力される。タイミング発生回路TGは、かかる歩進パルスを形成するために、その内蔵は、図で第4図に基づいて図示に示すような2ビットのバイナリカウンタCNT3を持つ。バイナリカウンタCNT3は、バイナリカウンタCNT1と同様に歩進される。

なお、アドレスカウンタCNT2で必要とされる歩進パルスは、カウンタCNT3が設けられなくても、例えば図5のようなアドレスカウンタCNT1を利用する構成によって、それを発生させることができる。

すなわち、例えば、アドレスカウンタCNT1とともに、内部相対アドレス番号 $\overline{axa}$ 及び $\overline{aya}$ が初期値としてセットされるレジスタと、アドレス

## 特開昭61-170994(6)

カウンタCNT1の出力とかかるレジスタの出力とを受けるロジック回路とが設けられる。かかるロジック回路は、アドレスカウンタCNT1の出力と上記レジスタの出力を比較する構成及びアドレスカウンタCNT1の出力とレジスタの内容から1だけ減算された値とを比較する構成とされる。レジスタにセットされたデータに対し1だけ減算された数のデータは、レジスタから出力される2ビットの比位的単純な論理変換によって得ることが出来る。これによって、上記ロジック回路は、アドレスカウンタCNT1の4カウント毎毎に、歩進ベルヌを形成する。但し、このようにする場合、回路素子数の増加に留意する必要がある。

上記アドレスカウンタCNT2によって形成された相対アドレス番号 $cy0 \sim cy{n-1}$ は、マルチプレクサMPXの右方の入力に供給される。特に制限されないが、アドレスカウンタCNT1によって形成された相対アドレス番号 $cya$ 及び $cxa$ もまた、マルチプレクサMPXの他方の入力に供給される。

レジスタ番号 $my0 \sim my{n}$ のうち、特定のビット、例えば最上位ビット $my{n}$ を除いた相対アドレス番号 $my0 \sim my{n-1}$ は、カラムアドレスデコーダC-DCRに供給される。相対アドレス番号 $my{n}$ 及び $mx{n}$ は、メインアンプMA0ないしMA3の動作を制御するためのデコーダDECに供給される。

この実施例に従うと、マルチプレクサMPXは、メモリのアクセスが開始されてからアドレスカウンタCNT1及びCNT2の出力が初回にセットされるまでの遅延時間を対応することによって設けられている。すなわち、メモリのアクセスが開始されたときにおいて、アドレスバッファR-ADB及びC-ADBから出力される内部相対アドレス番号は、アドレスカウンタCNT1及びCNT2を介することなく、カラムアドレスデコーダC-DCR及びデコーダDECに供給される。その結果、メモリの最初の動作の高速化が可能となる。

しかしながら、この実施例のメモリは、アドレスカウンタCNT1及びCNT2の出力が直接に

マルチプレクサMPXは、その動作が、タイミング発生回路TGから出力されるタイミング信号 $\phi mpx$ によって制御される。タイミング信号 $\phi mpx$ は、メモリのアクセスの開始前及びメモリのアクセスが開始されたとき、言い換えると、ロウアドレスストローブ信号RASがハイレベルに維持されているとき及びかかる信号RASがロウレベルにされたとき、アドレスバッファR-ADB及びC-ADBの出力 $ay0$ ないし $ay{n}$ 及び $ax{n}$ を選択させるレベルにされる。タイミング信号 $\phi mpx$ は、またロウアドレスストローブ信号RASとカラムアドレスストローブ信号CASとの組み合わせによって二重動作モードが指示されたとき、アドレスカウンタCNT1及びCNT2の出力を過渡されたレベルにされる。これによって、マルチプレクサMPXは、相対アドレス番号 $ay0$ ないし $ay{n}$ 及び $ax{n}$ と $cy0$ ないし $cy{n}$ 及び $cxa$ とのうちの一方に対応された相対アドレス番号 $my0$ ないし $my{n}$ 及び $mx{n}$ をその出力端子に出力する。マルチプレクサMPXを介して過渡的に出力される相対アド

カラムアドレスデコーダC-DCR及びデコーダDECに供給されても動作する。このように変更された場合でも、最初の動作を除く他の連続的なアクセス対応は、実質的に制限されない。それ故に、マルチプレクサMPXは、メモリのより高速化を可能とする上で有効であるが、本発明にとって本質的に必要とされるものではない、と認識されたい。

カラムアドレスデコーダC-DCRは、その動作がタイミング発生回路TGから発生されるデータ選択タイミング信号もしくはカラム選択タイミング信号 $\phi y$ によって制御され、マルチプレクサMPXから供給される内部相対アドレス番号 $my0$ ないし $my{n-1}$ をデコードする。これによって、カラムアドレスデコーダC-DCRは、タイミング信号 $\phi y$ に同期してカラム選択信号を出力する。

カラム選択タイミング信号 $\phi y$ は、読み出し動作がメモリに指示されているなら、すなわちライトエナブル信号WEがハイレベルに維持されているなら、図6Bに示されているようにカラム

## 特開昭61-170994(7)

アドレスストローブ信号CASが最初にロウレベルにされたときからかかるカラムアドレスストローブ信号CASがハイレベルにされるまでの期間、及びアドレスカウンタCNT2が経過してからカラムアドレスストローブ信号CASによって決められるまでの期間ハイレベルにされる。

カラムスイッチC-SW1、C-SW2は、上記カラムアドレスデコードC-DCRによって形成された選択信号を受け、メモリアレイM-ARY1及びメモリアレイM-ARY2における上記2組の相対データ口を対応する2組の共通相対データCD0、CD1及びCD2、CD3にそれぞれ結合させる。

デコーダDECは、マルチプレクサMPXから供給される2ビットのアドレス信号 $\overline{a_1}$ 及び $\overline{a_2}$ をデコードすることによって、4つのメインアンブMA0ないしMA3を選択的に動作させるための制御信号を出力する。デコーダDECの具体的な回路は、メインアンブMA0及び入出力回路I/Oとともに、後述第3図にもとづいて詳細に説明

される。

上記共通相対データCD0～CD3は、それぞれメインアンブMA0～MA3の入力端子に結合されている。これらのメインアンブMA0～MA3は、後述第3図にもとづいて詳細に説明するように、ラッチ回路を含んでいる。これらのメインアンブMA0～MA3のラッチ出力は、データ読み出しモードにおいてデコーダDECにより形成された選択信号と、カラムアドレスストローブ信号CASとに同期されて順次的に入出力回路I/Oに含まれる共通のデータ出力回路に供えらる。

入出力回路I/Oは、読み出しのためのデータ出力回路と、書き込みのためのデータ入力回路とにより構成される。ライトイネーブル信号WEのレベルによって読み出し動作が指示されているなら、データ出力回路は、所定のタイミングで動作状態にされる。これによって、上記メインアンブMA0～MA3の出力は、出力回路によって増幅され、外部端子Dataへ送出される。ライトイネ

ーブル信号WEのロウレベルによって書き込み動作が指示されているなら、データ入力回路が所定のタイミングで動作状態にされる。これによって、外部端子Dataに供給されている入力データは、データ入力回路及びメインアンブ内の後述するような信号選択回路(第1図では省略されている)を介して共通相対データCD0～CD3の1つに伝送される。

タイミング発生回路TGは、3つの外部信号CAS(ロウアドレスストローブ信号)、CAS(カラムアドレスストローブ信号)及びWE(ライトイネーブル信号)を受けて、メモリ動作に必要な上記各信号タイミング信号を生成する。また、タイミング発生回路TGは、前述のように2ビットのバイナリカウンタ回路CNT3を含んでいる。このカウンタ回路の計数出力は、直接読み出し動作におけるカラム選択タイミング信号 $\overline{a_1}$ 、メインアンブ動作タイミング信号 $\overline{a_2}$ 、及び上記アドレスカウンタ回路CNT2に供給される共通パルス形成するために利用される。

第2図には、メモリアレイM-ARY1、センスアンブSA1、プリアンプ回路PC1及びカラムスイッチ回路C-SW1の具体的な回路が示されている。

メモリアレイM-ARY1は、相対的なデータCD0、 $\overline{D0}$ ないしDh、 $\overline{Dh}$ 、相対的なワード線W0ないしW3及び相対的なメモリセルM00ないしMh3を持つ。メモリセルM00のように、各メモリセルは、スイッチMUSFETQ<sub>0</sub>とそれに直列に接続されたMOSキャパシタC<sub>0</sub>とから構成されている。

各データ列と、それに交差されるダミーワード線DW0及びDW1との間には、ダミーセルDS1ないしDS6が設けられている。ダミーセルのそれぞれは、帯域制限されないが、MOSキャパシタから形成される。

センスアンブSA1は、図示のように、各データ列に一对一の対応をもって設けられた単位回路USA0ないしUSAhと、パワースイッチMUSFETQ104及びQ105から成る。各単位



## 特開2001-170994(8)

回路は、図示のように、PチャンネルMOSFET Q102、Q103、及びNチャンネルMOSFET Q100、Q101から成る入出力共通のCMOSラッチ回路から成る。

プリチャージ回路PC1は、複数の単位回路UPC0ないしUPCkから成り、各単位回路は、対のデータラインに接続されたイコライズMOSFET Q106、及び各データ線と記憶端子Vccとの間に接続されたプリチャージ用MOSFET Q107及びQ108から成る。

カラムスイッチ回路C-SW1は、それぞれカラム選択信号Y0、Yjによってスイッチ動作されるスイッチMOSFET Q109ないしQ114から成る。

かかる回路の動作は、次のようになる。

まず、メモリがアクセスされていないとき、すなわちロウアドレスストローブ信号RASがハイレベルにされているとき、センスアンプSA1の動作開始のためのタイミング信号 $\phi_{pa}$ 及び $\phi_{pb}$ はそれぞれロウレベル、ハイレベルにされ、プリチャ

ージ回路の動作開始のためのタイミング信号 $\phi_{pc}$ はハイレベルにされている。これにより、センスアンプSA1は、それにおけるパワースウィッチMOSFET Q104及びQ105がオフ状態にされているので非動作状態に置かれる。各データ線は、プリチャージ回路PC1がタイミング信号 $\phi_{pc}$ によって動作状態に置かれているので、記憶電圧Vccに等しいようなプリチャージレベルに置かれる。メモリがアクセスされていないときは、またワード線W0ないしW3は、非選択レベルすなわちロウレベルにされている。ダミーワード線DW0及びDW1は、いずれもハイレベルの非選択レベルにされる。

メモリのアクセスが開始されたら、古い読えろとロウアドレスストローブ信号RASがロウレベルにされたら、それに同期してまずタイミング信号 $\phi_{pc}$ がロウレベルにされ、プリチャージ回路PC1が非動作状態にされる。プリチャージ回路PC1が非動作状態にされた後、ワード線選択タイミング信号 $\phi_x$  (図1図)がハイレベルに

され、図1図のロウアドレスデコードX-DCR1が動作状態にされる。これに応じてワード線W0ないしW3のうちの1つが選択レベルにされる。ワード線が選択されることによってメモリセルのデータが、これに対応されたデータ線に与えられる。例えばワード線W0が選択されたら、メモリセルM00、M10及びMk0のデータが、データ線D0、D1及びDkに与えられる。ダミーワード線DW0及びDW1は、ワード線の選択タイミングと同期してその一方が選択レベルすなわちロウレベルにされる。例えば上記のようにワード線W0が選択されるなら、それに対してダミーワード線DW0が選択レベルにされる。その後、それぞれ対応されたデータ線、すなわち補データ線の一方に、ダミーセルによって参照電位が与えられる。特に制限されないが、参照電位が、メモリセルによってデータ線に与えられるレベル範囲の中間の値を取るようするため、及び参照電位範囲上のばらつきによって生ずるメモリセルのキャパシタCmとダミーセルのキャパシ

タとの相対的ばらつきをできるだけ小さくさせるために、ダミーセルのキャパシタは、メモリセルのそれと実質的に同じサイズにされ、ダミーワード線に与えられるレベル範囲は、選択ワード線に与えられるそれに対して半分にされる。

タイミング信号 $\phi_{pa}$ 及び $\phi_{pb}$ は、ワード線及びダミーワード線が選択された後、古い読えろと、タイミング信号 $\phi_x$ がハイレベルにされた後、それぞれハイレベル、ロウレベルにされる。これによって、センスアンプSA1は動作開始され、メモリセルから各データ線に与えられたデータ値は検出される。

カラム選択信号Y0ないしYjは、予めロウレベルの非選択レベルにされている。ロウアドレスストローブ信号RASがロウレベルにされた後にカラムアドレスストローブ信号CASがロウレベルにされると、それから適当な遅延時間の後に、タイミング信号 $\phi_y$ がハイレベルにされ、カラムアドレスデコードC-DEC (図1図)の動作が開始される。その後、カラム選択信号Y0ない

## 特開特許61-170994(9)

LYjのうちの1つがハイレベルの選択レベルにされ、カラムスイッチMOSFETがオン状態にされる。すなわち、直前の相対データ口のうちの2個の相対データ口がカラムスイッチ回路C-SW1を介して共通相対データ口CDOないしCD1に結合されるようになる。

第3図に、データの入力及び出力系の一実施例の回路図が示されている。

代表として示された共通相対データ口CDO、CDOは、メインアンプMA0の入力端子に結合される。メインアンプMA0は、増幅回路AMP、ラッチ回路FF及び出力選択回路SLとから構成される。

増幅回路AMPは、特に制限されないが、大きい利得を持つように、2段の増幅回路された増幅回路1st及び2ndから構成される。これによって、増幅回路AMPは、共通相対データ口CDOとCDOとの間に与えられるデータ信号が充分に大きいレベルに変化されていないタイミングにおいても、充分なレベルの信号を出力するようになる。

チャンネル増幅回路MOSFETQ11、Q12とPチャンネル負荷MOSFETQ9、Q10により構成され、上段増幅回路MOSFETQ11、Q12の共通ソースは、上段一方の増幅回路MOSFETQ7、Q8の共通ソースと共通化され、上段パワースイッチMOSFETQ13によりその動作の制御が行われる。このMOSFETQ13のゲートには、メインアンプの動作タイミング信号φm0が供給される。

上段一方の増幅回路MOSFETQ7のゲートとしてのNチャンネルMOSFETQ7のゲートと、他方の増幅回路MOSFETQ8のゲートとしてのNチャンネルMOSFETQ11のゲートは、上段共通相対データ口CDOに結合されている。また、上段一方の増幅回路MOSFETQ7のゲートと、他方の増幅回路MOSFETQ8のゲートとしてのNチャンネルMOSFETQ12のゲートは、上段共通相対データ口CD1に結合されている。

これに応じて、メモリは、高速動作が可能となる。

増幅回路1st及び2ndのそれぞれは、ノイズに対する感度を低下させるため、全増幅回路増幅回路を、すなわち一方の増幅回路入力端子とともに一方の増幅回路出力端子を持つ増幅回路にされている。これらの増幅回路のそれぞれは、またそれぞれの利得を増大させるために、カレントミラー負荷を持つ一方の増幅回路増幅回路から構成される。

すなわち、初段増幅回路1stにおいて、それを構成する一方の増幅回路増幅回路のうちの一方は、図示されているように、Nチャンネル増幅回路MOSFETQ7、Q8と、そのドレインとVDDに接続されたPチャンネル負荷MOSFETQ5、Q6及び上段増幅回路MOSFETQ7、Q8の共通ソースと増幅回路の接続点との間に接続されたNチャンネル型のパワースイッチMOSFETQ13とにより構成される。上段負荷MOSFETQ5、Q6は、カレントミラー形成されることによって、アクティブ負荷回路を形成する。上段増幅回路増幅回路の他方は、上段類似のN

初段増幅回路増幅回路1stの一方の出力信号は、特に制限されないが、図面において出力で図示された回路のように、上段類似の回路によって構成された第2段増幅回路増幅回路2ndの一方の入力端子に供給される。この第2段増幅回路増幅回路における各増幅回路は、上段初段増幅回路のそれと同様であるので、回路図号とその説明を省略する。

上段第2段増幅回路増幅回路2ndの一方の出力信号は、ラッチ回路FFに供給される。特に制限されないが、ラッチ回路FFは、2つのナンド(NAND)ゲート回路G5、G6から構成される。ナンドゲート回路G5及びG6の一方の入力と出力とは交叉結合されている。上段ナンドゲート回路G5、G6の他方の入力には、上段第2段増幅回路増幅回路2ndの出力信号が供給される。上段ナンドゲート回路G5、G6のそれぞれの他方の入力と電源VDDとの間には、上段メインアンプの動作タイミング信号φm2を受けるPチャンネルMOSFETQ14、Q15がそれぞれ接続されている。ラッチ回路FFは、動作タイミング信号φm2のハイ

## 特開2001-170994 (10)

レベルによって増幅回路AMPが動作状態にされ、かつ上記PチャンネルMOSFET Q14、Q15がオフ状態にされているなら、そのときの増幅回路2ndの増幅出力信号の取り込みを行う。ラッチ回路FFは、また動作タイミング信号 $\phi_{ms}$ のローレベルによって上記増幅回路AMPが非動作状態にされかつ上記PチャンネルMOSFET Q14、Q15がオン状態にされているなら、それにおけるナンドゲート回路G5、G6の他方の入力が増幅回路Vccのようなハイレベル（高レベル）に強制されるので、上記取り込んだ増幅信号を保持する。

動作タイミング信号 $\phi_{ms}$ は、第1図に示されたタイミング発生回路TGから出力される。タイミング回路TGの具体的な構成は、後で第5図に述べて説明される。

上記ラッチ回路FFの一方の出力信号は、出力選択回路SLCを介して共通のデータ出力回路DOBの入力に伝えられる。出力選択回路SLは2つの出力選択回路SLC1及びSLC2からな

MOSFET Q21、NチャンネルMOSFET Q22及びそれらのMOSFETに動作電圧を供給するPチャンネルMOSFET Q20、NチャンネルMOSFET Q23により構成されている。出力選択回路SLC2の出力は、上記MOSFET Q20とQ23がオフ状態にされると、ハイインピーダンス状態にされる。

メインアンプMA0における出力選択回路SLC1及びSLC2の出力端子は、第1図のメインアンプMA1ないしMA3における出力選択回路のそれとともに、出力回路DOBの一方の入力端子CD5及びCD5にそれぞれ共通接続されている。入力端子CD5及びCD5は、メインアンプMA0ないしMA3の共通の出力ラインを形成しているともみなされてよい。

以上構成のメインアンプMA0は、その動作が、タイミング信号 $\phi_{ms}$ 及びデコードDECの出力信号によって制御される。

る。上記ラッチ回路FFを形成するナンドゲート回路G5の出力信号を受け一方の出力選択回路SLC1は、PチャンネルMOSFET Q17とNチャンネルMOSFET Q18により構成されたCMOSインバータ回路と、このCMOSインバータ回路に接続したVcc及び回路の接地電位を供給するためのPチャンネルMOSFET Q16とNチャンネルMOSFET Q19とから構成されている。MOSFET Q16とQ19は、互いに逆相の信号によって制御され、そのスイッチ状態が互いに同じにされる。出力選択回路SLC1は、それにおけるMOSFET Q16及びQ19がオン状態にされたなら、それに応じて動作状態にされる。逆に、出力選択回路SLC1は、それにおけるMOSFET Q16とQ19がオフ状態にされたなら非動作状態にされその出力がハイインピーダンス状態にされる。上記ラッチ回路FFを形成するナンドゲート回路G6の他方の出力信号を受ける他方の出力選択回路SLC2は、上記同様なCMOSインバータ回路を形成するPチャンネル

すなわち、メインアンプMA0における増幅回路AMP及びラッチ回路FFは、前述のように、動作タイミング信号 $\phi_{ms}$ によってそれぞれの動作が制御される。

出力選択回路SLCは、デコードDECの出力信号によってその動作が制御される。デコードDECは、各メインアンプに一対一対応される単位回路を持つ。デコードDECにおける各単位回路は、マルチプレクサMPXから供給される2ビットの相補アドレス信号 $\overline{mns}$ 及び $\overline{mys}$ の互いに異なる組み合わせをデコードするように構成される。

デコードDECの、メインアンプMA0に対応される単位回路は、第3図に示されているように、それぞれ異なるレベルのアドレス信号 $\overline{mns}$ 及び $\overline{mys}$ が供給されるナンドゲート回路G2及びG4から形成される。ナンドゲート回路G2は、後で説明する入力選択回路SLC3に対応され、ナンドゲート回路G4は出力選択回路SLC2に対応される。なお、デコードDECのメインアンプMA0に対応される単位回路は、ナンドゲート回路G2、G4、

## 特開昭61-170994 (11)

ノアゲート回路G1及びG7から形成されているとみなされて良い。この場合、ナンドゲート回路G12は、デコーダDECKにおける共通回路を形成しているとみなされる。すなわち、ナンドゲート回路G12の出力は、メインアンプMA1ないしMA3のそれぞれに対応されるノアゲート回路G7のそれぞれに供給される。

ナンドゲート回路G4の出力は、アドレス信号 $\overline{mym}$ と $\overline{mya}$ が共にハイレベルにされているなら、それに応じてロウレベルの選択レベルにされる。この出力信号は、出力選択回路SLの動作タイミング信号を形成するノアゲート回路G7の一方の入力に供給される。このノアゲート回路G7の他方の入力には、カラムアドレスストローブ信号 $\overline{CAS}$ に同期して形成される内部回路信号C1と、センスアンプの動作タイミング信号 $\phi pa$ とに基づいて形成されるロウ系のタイミング信号BG2とを受けるナンドゲート回路G12の出力 $\overline{DS}$ が供給される。このノアゲート回路G7の出力は、一方においてCMOSインバータ回路IV3によ

レベルに転送して、相補アドレス信号 $\overline{mxs}$ 及び $\overline{mya}$ にかかわらず、高出力インバータンス状態にされる。MOSFETQ24及びQ25は、信号 $\overline{DS}$ に対し反転されたレベルの信号 $\overline{DS}$ によって、オン状態にされている。従って、ライン $\overline{CD5}$ 及び $\overline{CD5}$ は、その両方がいわばリセットレベルのハイレベルにされている。

ナンドゲート回路G12の出力信号 $\overline{DS}$ は、タイミング信号BG2及びC1によって決定されるタイミング、言い換えると、第1図のセンスアンプSA1及びSA2が動作されかつカラムスイッチ回路C-SW1及びC-SW2が動作された後の適切なタイミングにおいてロウレベルにされる。MOSFETQ24及びQ25は、信号 $\overline{DS}$ のロウレベルに転送してオフ状態にされる。信号 $\overline{DS}$ がロウレベルにされると、ライン $\overline{CD5}$ 及び $\overline{CD5}$ に結合された直結の出力選択回路のうちの相補アドレス信号 $\overline{mxs}$ 及び $\overline{mya}$ に対応された1つが動作状態にされる。その結果、ライン $\overline{CD5}$ 及び $\overline{CD5}$ のレベルは、動作状態にされた出力選択回

路によって反転された上で、出力選択回路SLのPチャネルMOSFETQ16、Q20のゲートに供給される。上記ノアゲート回路G7の出力は、他方において出力選択回路SLCのNチャネルMOSFETQ19、Q23のゲートに直接に供給される。上記ナンドゲート回路G12の出力 $\overline{DS}$ は、図示しないインバータ回路によって反転され、データ出力回路DOBの入力ライン $\overline{CD5}$ 及び $\overline{CD5}$ に設けられたPチャネルMOSFETQ24、Q25のゲートに供給される。

入力ライン $\overline{CD5}$ 及び $\overline{CD5}$ のレベルは、次のようにされる。

すなわち、デコーダDECKにおける共通回路であるナンドゲート回路G12の出力 $\overline{DS}$ は、メモリのアクセス開始及びロウアドレスストローブ信号 $\overline{RAS}$ によるメモリのアクセス開始の直後において、タイミング信号BG2及びC1の少なくとも一方のロウレベルによって、ハイレベルにされている。メインアンプMA0ないしMA3のそれぞれにおける出力選択回路は、信号 $\overline{DS}$ のハイ

レベルによって決定されるようになる。

第1図の入出力回路I/Oにおけるデータ出力回路DOBは、その具体例が第3図に示されている。

データ出力回路DOBは、特に制限されないが、トライステート回路から形成される。

すなわち、データ出力回路DOBは、上記メインアンプMA0を形成するラッチ回路PFと類似のナンドゲート回路G8、G9により形成されたラッチ回路からなる初段回路を持つ。ラッチ回路は、メインアンプMA0ないしMA3から入力ライン $\overline{CD5}$ 及び $\overline{CD5}$ に供給されるデータ信号を取り込む。ラッチ回路は、また、入力ライン $\overline{CD5}$ 及び $\overline{CD5}$ がリセットレベルにされているなら、以前のデータ信号を保持する。

このラッチ回路の出力信号は、それぞれナンドゲート回路G10とCMOSインバータ回路IV5及びナンドゲート回路G11とCMOSインバータ回路IV6を介してプッシュプル形回路のNチャネル出力MOSFETQ26及びNチャネル

出力MOSFET Q27のゲートに伝えられる。  
上記ナンドゲート回路G10, G11の他方の入力には、動作タイミング信号DOEが供給される。

動作タイミング信号DOEは、ロウアドレスストローブ信号RAS、カラムアドレスストローブ信号CAS及びライトエネイブル信号WEに低レベルでハイレベルにされる。

今、タイミング信号DOEがハイレベル（論理“1”）なら、これに応じてナンドゲート回路G10, G11が導かれる。これに応じて、初段回路から出力されている信号は、これらゲート回路G10, G11, CMOSインバータ回路IV5, IV6及び出力MOSFET Q26, Q27を介して外部端子Doutへ送出される。上記タイミング信号DOEが回路の接地電位のようなロウレベルなら、ノアゲート回路G10, G11の出力は共にハイレベルになる。これに応じてインバータ回路IV5, IV6の出力は共にロウレベルにされ、出力MOSFET Q26とQ27は共にオフ

込み用のNチャネル伝送ゲートMOSFET Q1及びQ2を持つ。メインアンプMA0は、また、特に制限されないが、共通データ線CD0及びCD1と電源端子Vccとの間に接けられたNチャネル負荷MOSFET Q3, Q4を持つ。負荷MOSFET Q3及びQ4は、比較的小さなコンダクタンスを持つようにされる。

上記データ入力回路DIBの出力信号を低レベルで伝送ゲートMOSFET Q1, Q2のゲートには、次のノアゲート回路G1とナンドゲート回路G2とにより形成されたデコードDECの出力選択信号が供給される。ナンドゲート回路G2の入力には上記同様なアドレス信号msb, mybと引き込み制御信号WYPが供給される。このナンドゲート回路G2の出力は、ノアゲート回路G1の1つの入力に供給される。このノアゲート回路G1の他方の入力には、反転の内部カラムアドレスストローブ信号C1が供給される。特に制限されないが、タイミング発生回路TGから出力される引き込み制御信号WYPは、外部から供給されるラ

### 特開461-170884 (12)

状態にされる。その結果、出力はハイインピーダンス状態にされる。なお、この実施例に従うと、上記外部出力端子Doutは、被送するデータ入力回路DIBの入力端子が結合される外部入力端子Dinに対し逆位にされているが、必要なら外部入力端子Dinと共に1つの共通の外部端子とされてもよい。

データ出力回路DOBとともに第2図の入出力回路I/Oを形成するデータ入力回路DIBは、外部入力端子Dinに供給された引き込みデータ信号に低レベルでハイレベルの引き込みデータ信号と逆相の引き込みデータ信号、すなわち相補データ信号を共通引き込み線CD0及びCD1に出力する。共通引き込み線CD0及びCD1は、第3図に示されたメインアンプMA0だけでなく、第1図に示されたメインアンプMA1ないしMA3にも結合される。

メインアンプMA0は、第3図に示されたように、共通引き込み線CD0と共通データ線CD1との間、及び共通引き込み線CD1と共通データ線CD0との間にそれぞれ接けられたデータ引き

イットエネイブル信号WEに対し、逆相にされる。かつ相補アドレス信号msb及びmybがメインアンプMA0を指示するレベルにされたなら、すなわちアドレス信号msbとmybが共にハイレベルにされたなら、ナンドゲート回路G2の出力は、それに応じてロウレベルにされる。ノアゲート回路G1の出力は、カラムアドレスストローブ信号CASと同相で変化する内部カラムアドレスストローブ信号C1がロウレベルにされるとそれに応じてハイレベルにされ、伝送ゲートMOSFET Q1, Q2は、ノアゲート回路G1のハイレベル出力に応じてオン状態にされる。その結果として、外部入力端子Dinから供給された引き込みデータ信号が共通相補データ線CD0, CD1に伝えられる。なお、引き出し動作においては、制御信号WYPがロウレベルにされるので、ナンドゲート回路G2の出力は、アドレス信号msb及びmybの状態にかかわらずハイレベルにされる。これにより、ノアゲート回路G1の出力がロウレベルにされるため、上記伝送ゲートMOSFET Q1,

## 図61-170984 (18)

Q2はオフ状態にされる。

上記ノアゲート回路G1の出力は、CMOSインバータ回路IV1により反転されてNチャネルMOSFETQ3、Q4のゲートに伝えられる。したがって、上記書き込み動作以外の時に、これらのMOSFETQ3、Q4はオン状態にされ、共通相補データ線CD0、 $\overline{CD0}$ に実質的に一定のバイアスレベルを与える。このようなMOSFETQ3、Q4のオン状態によって、読み出し動作等において共通相補データ線CD0、 $\overline{CD0}$ の信号線が実質的に制限されるから、メモリセルからの読み出し信号に対して高遅延を発生させることができる。

第4図には、タイミング発生回路TGに含まれる2ビットのバイナリーカウンタの一実施例の回路図が示されている。なお、特に制限されないが、前記アドレスカウンタCOUNTもこの類似回路と類似の回路によって構成することができる。

2ビットのバイナリーカウンタを構成する初期回路FF0は、同図に点線で図された次の各回路

リップフロップの入力であるCMOSインバータ回路IV13の入力に伝えられる。このスレーブリップフロップの出力であるCMOSインバータ回路IV13のCMOS信号は、CMOSインバータ回路IV14とPチャネル伝送ゲートMOSFETQ30を介してマスターリップフロップの入力であるCMOSインバータ回路IV11の入力に伝達される。上記マスターリップフロップの入力であるCMOSインバータ回路IV11の入力と回路の接地電位点との間には、リセット用のNチャネルMOSFETQ31が接続されている。なお、カウンタFF0を上記アドレスカウンタCOUNTとして使用する場合、伝送ゲートMOSFETQ31を介して入力アドレス信号が供給される。

上記伝送ゲートMOSFETQ30とQ32のゲートには、ナンドゲート回路G20の出力信号が供給される。このナンドゲート回路G20の1つの入力すなわちクロックもしくはクロック入力端子T2には、上記カラム系タイミング信号

により形成されており、リセット入力端子T1、クロック入力端子T2、カウント動作制御端子T3、キャリア入力端子T4、キャリア出力端子T5、及び計数値出力端子T6及びT7を持つ。CMOSインバータ回路IV11は、その出力信号が回路内のCMOSインバータ回路IV10を介してその入力に伝達される。これによりCMOSインバータ回路IV11とIV10は、マスターリップフロップを構成する。特に制限されないが、インバータ回路IV10は、MOSFETQ30を介してインバータ回路IV11の入力に供給される信号レベルが引き上げられるようにするために、比較的小さい相互コンダクタンスを持つPチャネルMOSFETとNチャネルMOSFETから構成される。上記類似のCMOSインバータ回路IV13とIV12によりスレーブリップフロップが構成される。上記マスターリップフロップの出力であるCMOSインバータ回路IV11の出力信号は、Nチャネル伝送ゲートMOSFETQ32を介してスレーブ

が供給され、1つの入力端子すなわち動作制御端子T3にはロウ系タイミング信号R1が供給される。ナンドゲート回路G20の残りの1つの入力端子すなわちキャリア入力端子T4は、回路FF0がカウンタCNT3の初期回路であるので、電圧 $V_{cc}$ に等しいようなハイレベルに保持される。このキャリア端子T4のハイレベル信号とスレーブリップフロップの出力信号とは、ナンドゲート回路G21に供給される。このナンドゲート回路G21の出力はCMOSインバータ回路IV15及び出力端子T6を介して反転され、次の回路FF1のキャリア入力端子へ送出される。回路FF0における上記マスターリップフロップの出力は、特に制限されないが、直列接続のCMOSインバータ回路IV15～IV17を介して計数出力として送出される。すなわち、CMOSインバータ回路IV16の出力から反転の計数出力0が、CMOSインバータ回路IV17の出力から非反転の計数出力1が形成される。次回路FF1は、上記初期回路FF0と同一

## 特図 61-170994 (14)

の図路により構成される。ただし、それにおける  
キャリー入力端子には、上図初段図路 F F 0 によ  
り形成されたキャリー信号  $c a 0$  が供給される。

タイミング発生回路 T G は、この 2 ビットのバ  
イナリ-カウンタ回路の計数出力  $\bar{0}$ 、 $\bar{1}$  及び  
 $0$ 、 $1$  の組み合わせにより、前述し、また前述  
するような拡張ニブルモードにおけるメインアン  
プのタイミング信号  $\phi m a$ 、データ選択タイ  
ミング信号  $\phi y$  等を形成する。

前図 5 図には、上記タイミング発生回路 T G に合  
されるメインアンプの動作タイミング信号  $\phi m a$   
とデータ選択タイミング信号  $\phi y$  を形成するタイ  
ミング発生回路の回路図が示されている。

上記ロウ系のタイミング信号 R G 2 と前図 4 図に  
示したバイナリ-カウンタ C N T 3 によって形成  
された計数出力信号  $\bar{0}$ 、 $\bar{1}$  とは、ナンドゲ  
ート回路 G 2 2 の入力に供給される。このナンドゲ  
ート回路 G 2 2 の出力は、記憶容量込み信号 W Y  
P とともにノアゲート回路 G 2 5 に入力される。  
ノアゲート回路 G 2 5 の出力は、記憶段の記憶段

読された記憶回路としての CMOS インバータ回  
路 I V 2 3 ~ I V 2 6 に供給される。これに  
て、カラム選択タイミング信号  $\phi y$  に対して直  
接にタイミング調整されたメインアンプの動作タイ  
ミング信号  $\phi m a$  が CMOS インバータ回路 I V  
2 6 から出力される。

また、上記バイナリ-カウンタの計数出力信号  
 $0$ 、 $1$  と記憶容量込み制御信号 W Y P とは、  
ナンドゲート回路 G 2 3 の入力に供給される。こ  
のナンドゲート回路 G 2 3 の出力は、CMOS イ  
ンバータ回路 I V 2 1 によって反転され、上記ノ  
アゲート回路 G 2 5 の出力とともにノアゲート回路  
G 2 4 の入力に供給される。このノアゲート回路  
G 2 4 の出力信号は、CMOS インバータ回路  
I V 2 2 を介して反転され、データ選択タイ  
ミング信号  $\phi y$  として送出される。

次に、前図 6 図に示したタイミング図を参照して、  
動作の読み出し動作の一例を説明する。

ロウアドレスストローブ信号 R A S が前図 6 図 A  
に示されたようにロウレベルになると、それに

応じてタイミング信号  $\phi c r$  (図示しない) がハ  
イレベルにされる。ロウアドレスバッファ R - A  
D B は、タイミング信号  $\phi c r$  がハイレベルにさ  
れると、それに応じて、外部端子から供給されて  
いるロウアドレス値を取り込む。上記アドレス  
信号のうち、最上位ビットのアドレス信号  $a x n$   
は、前述のように、アドレスカウンタ C O U N T  
に含まれる 2 ビットのバイナリ-アドレスカウン  
タ C N T 1 に初段として取り込まれる。ロウア  
ドレスデコーダ R - D C B 1、R - D C B 2 は、  
上記ロウアドレスバッファ R - A D B に取り込  
まれたアドレス信号のうちの最上位のアドレス信号  
 $a x 0 \sim a x n - 1$  とワード選択タイミング信号  
 $\phi y$  とに反応してメモリアレイ M - A R Y 1、M  
- A R Y 2 におけるワード線とデータワード線の  
選択動作を行う。次に、タイミング信号  $\phi p a$  及  
び  $\bar{p a}$  が発生されることによってセンスアン  
プ S A が動作状態にされ、メモリアルからの読み出  
されたデータ信号が検出される (図示せず)。セ  
ンスアンプの動作タイミングに同期してロウ系の

タイミング信号 R G 2 はハイレベルに立ち上がる。

なお、前図 4 図に示した 2 ビットのバイナリ  
-カウンタ C N T 3 に供給される信号 R 3 は、予  
めのチップ内選択期間におけるロウアドレス信号  
R A S のハイレベルに反応してハイレベルにされ  
ている。従って、カウンタ C N T 3 はチップ内選  
択期間において、予めりセット状態にされ、その  
計数出力  $0$  と  $1$  はともハイレベル (したが  
って、 $\bar{0}$  と  $\bar{1}$  はハイレベル) にされている。

次に、カラムアドレスストローブ信号 C A S が  
ロウレベルになると、それに応じてタイミング  
信号  $\phi c c$  (図示しない) がハイレベルにされ、  
上記外部端子から供給されたカラムアドレス信号  
が、カラムアドレスバッファ C - A D B に取り込  
まれる。前述のように、タイミング信号  $\phi c c$  は、  
アドレスカウンタ C O U N T の初期設定値に  
信号とされる。従って、タイミング信号  $\phi c c$  が発  
生されると、ロウアドレスバッファ R - A D B か  
ら予め出されているアドレス信号  $a x n$  及びカ  
ラムアドレスバッファ C - A D B から出力されるア

## 特開明61-170994 (15)

アドレス信号  $ay0 \sim ay9$  は、アドレスカウンタ COUNT に初期値として保持される。

マルチプレクサ MPX の動作制御のためのタイミング信号  $\phi mp_x$  (図示しない) は、前述のようにカラムアドレスストローブ信号  $CAS$  の最初のロウレベルへの変化に反応されず、ロウレベルに維持される。タイミング信号  $\phi mp_x$  がロウレベルにされていることによって、カラムアドレスバッファ  $C-ADB$  に取り込まれたアドレス信号  $ax0 \sim ax9$  及びロウアドレスバッファ  $R-ADB$  に取り込まれたアドレス信号  $axm$  は、マルチプレクサ MPX を介してカラムアドレスデコーダ  $C-DCR$  及びメインアンプのデコーダ  $DEC$  に供給される。

データ線選択タイミング信号  $\phi y$  及びメインアンプの動作タイミング信号  $\phi ma$  は、前述の図路 (第5図) によって、同期してハイレベルにされる。

すなわち、カラムアドレスストローブ信号  $CAS$  がロウレベルにされた後に最初に形成されるタイ

ミング信号  $\phi ma$  は、上記バイナリカウンタ CNT が上記のようにリセットされているから、上記ロウ系のタイミング信号  $RG2$  のハイレベルに同期してハイレベルにされる。データ線選択タイミング信号  $\phi y$  は、上記バイナリカウンタの計数出力  $s0, s1$  がいずれもロウレベルにされているから、上記第5図に示した図路により、上記最初のタイミング信号  $\phi ma$  に同期して発生させられる。上記タイミング信号  $\phi y$  により、カラムスイッチ回路  $C-SW1$  及び  $C-SW2$  が動作され、メモリセルから読み出されたデータ信号が共通相補データ線  $CD0$  ないし  $CD3$  に与えられる。タイミング信号  $\phi ma$  により4個のメインアンプ  $MA0 \sim MA3$  が一斉に動作状態にされる。すなわち共通相補データ線  $CD0, CD0 \sim CD3$ ,  $CD3$  に送れたメモリセルからの読み出しデータ信号が増幅される。

メインアンプ  $MA0 \sim MA3$  によって増幅されたデータ信号は次のようにして外部端子  $Dout$  へ転送される。

すなわち、予めアドレスバッファ  $R-ADB$  及び  $C-ADB$  に取り込まれたアドレス信号  $axm$  と  $ay9$  がハイレベルなら、メインアンプ  $MA0$  の出力が次のようにして最初に選択される。すなわち、タイミング信号  $\overline{DS}$  (図示せず) は、ロウ系タイミング信号  $C1$  の最初のハイレベル期間 (ロウアドレスストローブ信号  $CAS$  が最初ロウレベルにされた期間) において、上記ロウ系のタイミング信号  $RG2$  が発生された後にロウレベルにされる。タイミング信号  $\overline{DS}$  がロウレベルにされることにより、第3図のノアゲート回路  $G7$  の出力がハイレベルにされ、NチャンネルMOSFET  $Q19, Q23$  とCMOSインバータ回路  $IV3$  により反転されたハイレベルによりPチャンネルMOSFET  $Q16, Q20$  が共にオン状態にされる。これに応じてラッチ回路  $FF$  の出力がデータ出力回路  $DOB$  に入力ライン  $CD5$  及び  $CD5$  に供給され、最初のデータ信号  $D0$  がタイミング信号  $D0E$  に従って外部端子  $Dout$  へ送出される。

次に、カラムアドレスストローブ信号  $CAS$  がハイレベルにされると、これに応じて内部信号  $C1$  が第5図に示されたようにロウレベルに変化される。したがって、第4図に示したバイナリカウンタ CNT が供給される反転の内部信号  $\overline{C1}$  はハイレベルとなり、これに応じてNチャンネルMOSFET  $Q32$  がオフ状態にされ、NチャンネルMOSFET  $Q30$  がオン状態にされる。これにより、スレーブ側の出力信号がCMOSインバータ回路  $IV14$  によって反転されてマスタ側に増量される。その結果、計数出力  $s0$  がハイレベルに変化される。このような計数動作による出力  $s0$  の変化によって、上記メインアンプの動作タイミング信号  $\phi ma$  とデータ線選択タイミング信号  $\phi y$  はロウレベルにされる。これによりメインアンプ  $MA0 \sim MA3$  は非動作状態にされ、カラムスイッチ回路  $C-SW1$  及び  $C-SW2$  はオフ状態にされる。しかしながら、メインアンプ  $MA0 \sim MA3$  に含まれるラッチ回路  $FF$  は、それぞれにおけるPチャンネルMOSFET  $Q14$ 、



## 特開2001-170994 (16)

Q15等が上記タイミング信号φmaのロウレベルによってオン状態にされるので、上記取り込んだ記憶回路を保持している。

この実施例に従うと、前述のように、ロウアドレスストローブ信号RASがロウレベルの状態で、カラムアドレスストローブ信号CASがハイレベルになると、コプルモードとみなして、マルチプレクサMPXを自動的にアドレスカウンタCOUNTに切り換えるように構成される。マルチプレクサMPXの動作制御のためのタイミング信号φmpxは、ロウアドレスストローブ信号RASのハイレベルによりリセットされ、上記のような条件でセットされるラッチ回路によって形成することができる。なお、このような内部論理回路に代えて、上記マルチプレクサMPXの切り換え制御が外部から供給する所定の制御信号により行われるようにされてもよい。

アドレスカウンタCNT1は、内部番号C1がロウレベルにされると、それに応じてその内容が歩進される。すなわち、アドレス信号cynとcsaによって出力

インアンプの動作タイミング信号φmaが再び発生され、上記既に切り換えられたデータ線からの読み出しデータ信号の増幅動作及びラッチ回路FFの取り込み及び出力選択回路の切り換え動作が行われる。カラムアドレスストローブ信号CASが再びロウレベル（期間4）にされると、それに応じて複数の出力選択回路の1つが動作状態にされ、5ビット目のデータ信号D4が外部端子Doutに出力される。以下同様に第6ビット目から第8ビット目のデータ信号D6～D7を得ることができる。この場合、上記第5ビットの目の読み出しデータ信号D4は、カラム選択動作が既に行われていることにより、早くメインアンプの増幅動作に要する時間しか要しないから、極めて高速に出力させることができる。

以下同様に、カラムアドレスストローブ信号CASに同期して、連続的にデータの高速読み出しを行うことができる。

なお、ロウアドレスストローブ信号RASをハイレベルにすることによって、全ての回路がリセ

ンタ回路がリセットされ、上記ラッチ回路FFに保持された4ビットのデータ信号D0～D3が連続的に読み出される。このような動作は、實質的に従来のコプルモードと同様である。

バイナリカウンタの計数出力s0とs1が共にハイレベルにされる第4ビット目のデータ信号D3を出力させるときに、アドレス信号cyn0～cyn-1を形成するアドレスカウンタCNT2は、前述のように、カウンタCNT3の出力s0とs1の同時のハイレベルに反応して1だけ歩進される。それとともに、データ選択タイミング信号φyは、第6図Hに示されたように再びハイレベルにされる。これに応じてカラムアドレスデコードCD-CRがタイミング信号φyに同期して次のカラムアドレスyi+1の選択信号を形成するので、カラムスイッチの切り換えが行われる。

次に、第6図Cに示された期間3の後にカラムアドレスストローブ信号CASが再びハイレベルに変化されると、バイナリカウンタCNT3の計数出力が再び初期値にされる。これに応じてメ

ットされる。したがって、1ビットの単位でデータの読み出しを行う場合、1ビットのデータ信号を読み出した後に、ロウアドレスストローブ信号RASとカラムアドレスストローブ信号CASがハイレベルにされればよい。

第7図には、書き込み動作の一例のタイミング図が示されている。

書き込み動作においては、ライトイネーブル信号WEのロウレベルによって、内部制御信号WYPがハイレベルにされる。したがって、書き込み動作の時には、データ選択タイミング信号φyが発生され、メインアンプの動作タイミング信号φmaは、発生されない。これにより、第3図に示したデータ入力回路DIBの入力にカラムアドレスストローブ信号CASに同期させて時系列的に供給された書き込みデータは、それと同期して上記読み出し動作の場合と同様に形成されたアドレスカウンタの出力によって切り換えられる低速ゲートMOSFET Q1、Q2を介して各共通相対データ線に伝えられることによって、連続的な

## 特開昭61-170994 (17)

書き込み動作を行うことができる。この場合には、4ビット毎にカラムアドレスの切り換えを行うものであるが、書き込み動作にあっては、パルスインダクタンス(5Vと0V)の書き込み信号を共通相補データ線、カラムスイッチMOSFET及びデータ線を通してメモリモードに伝えるものである。したがって、カラム切り換え動作を予め行うことなく、上記のような連続的な書き込み動作を読み出し動作と同じ動作サイクルで行うことができる。

なお、第7図に示したタイミング図においては、ロウ系のタイミング信号RAS等は前記第6図と同様であるので、省略されている。

## 〔効果〕

(1) パラレルに読み出した信号をラッチ回路に保持させておいて、それをアドレスストローブ信号に同期させてシリアルに送出させると、保持情報の全ビットをシリアルに出力させる前に内部に設けたカウンタ回路により形成したタイミング信号によりカラムアドレス信号の歩進動作と、デー

タ線の選択動作の切り換えを行うことによって、高速に連続的なニブル読み出し動作を実現できるという効果が得られる。

(2) 上記連続的な読み出し動作は、内部のカウンタによってタイミング信号及びアドレス信号を形成するものである。外部からは初期アドレス信号とクロックとしてのカラムアドレスストローブ信号を供給するのみで良いから、極めて簡単に高速の連続読み出しを行うことができるという効果が得られる。

(3) 上記(1)、(2)により、1つのワード線に設けられたメモリモードの全ての読み出し動作を簡単に、かつ高速に行うことができるから、画像処理用の画像データの記憶装置に適したダイナミック型RAMを得ることができるという効果が得られる。

以上本発明者によってなされた発明を実施例に基づき具体的に説明したが、この発明は上記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。例えば、メモリアレイは、上記2つのメモ

であるものである。

図面の簡単な説明

第1図は、この発明の実施例を示す内部構成ブロック図。

第2図は、センスアンプ、プリチャージ回路、メモリアレイ及びカラムスイッチ回路の具体的な回路図。

第3図は、メインアンプ及び入出力回路の具体的な回路図。

第4図は、カウンタの回路図。

第5図は、タイミング発生回路の一部の回路図。

第6図及び第7図は、第1図の実施例の動作を説明するためのタイミング図である。

M-ARY1, M-ARY2...メモリアレイ、  
SA1, SA2...センスアンプ、R-ADB...ロウアドレスバッファ、C-SW1, C-SW2...カラムスイッチ、C-ADB...カラムアドレスバッファ、R-DCR1, R-DCR2...ロウデコード、C-DCR...カラムデコード、DEC...デ

リアレイに分割するものの他、4分割して各マツト毎に前記のような書き込み/読み出し動作を実現する入出力回路を設けるものであってもよい。また、上記複数ビットは、4ビットの他8対の共通相補データ線に対して8対の入出力回路を設けて、8ビットずつのデータを連続的に書き込み又読み出すようにするもの等であってもよい。

更に、カラムデコードに供給するアドレス信号は全て外部端子から供給するものであってもよい。例えば、第5図に示したタイミング図において、4ビット目のデータ読み出しのためのカラムアドレスストローブ信号CAS(3)に同期して、外部から次に選択すべきデータ線を指示するアドレス信号を供給するものであってもよい。この場合には、任意のアドレス指定によって連続的なニブルモードを行わせることができる。

また、各回路の具体的な回路は種々の実施形態を取ることができるものである。

## 〔利用分野〕

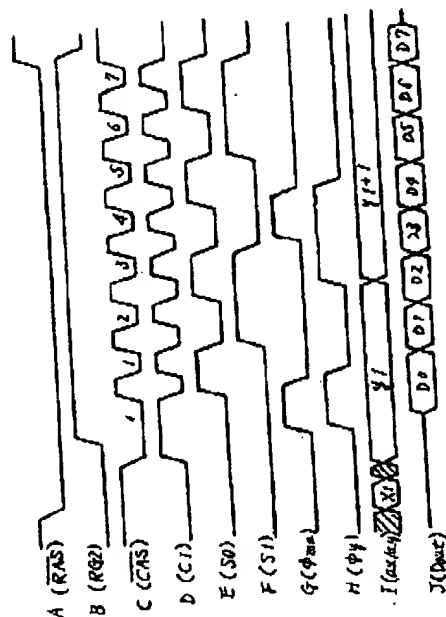
この発明は、ダイナミック型RAMに広く利用

特開昭61-170994 (18)

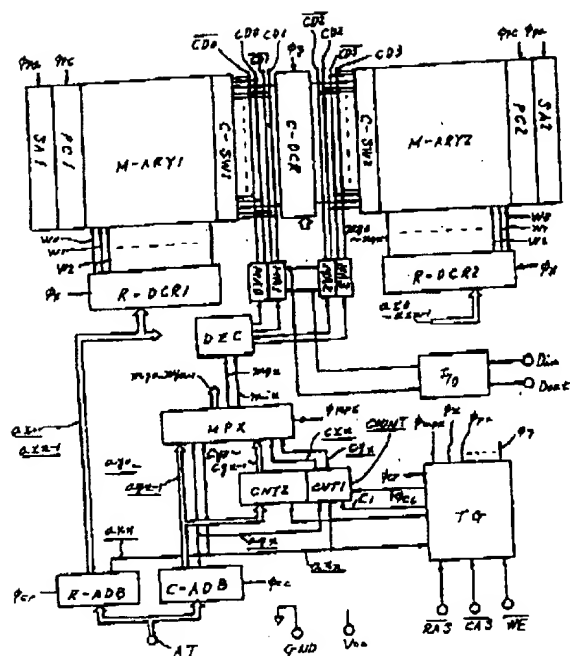
コード、COUNT…アドレスカウンタ、MA0  
 ~MA3…メインアンプ、TG…タイミング発生  
 回路、I/O…入出力回路、FF…ラッチ回路、  
 DOB…データ出力回路、DIB…データ入力回  
 路。

代理人 井堀士 小川 勝 男

図  
 8

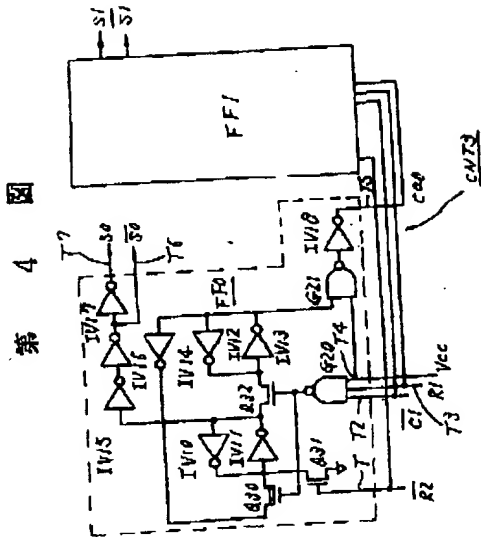


第 1 図

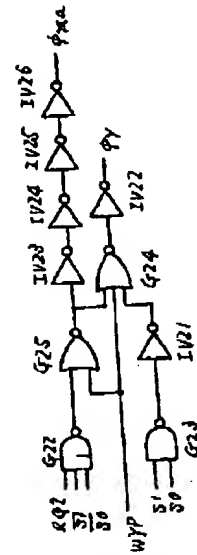




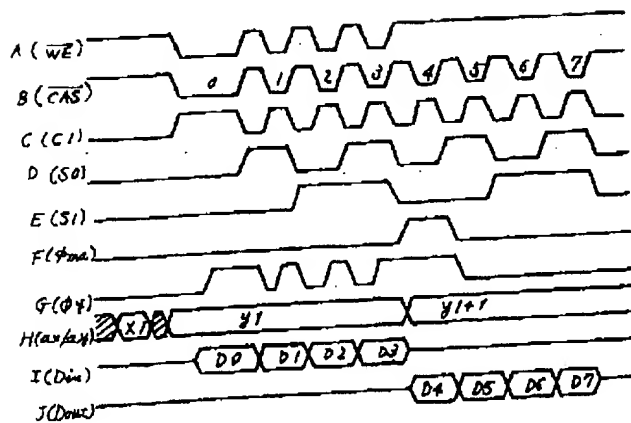
特開昭 61-170994 (20)



第 5 圖



第 7 圖



This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record

## BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: \_\_\_\_\_

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.